

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平9-63277

(43)公開日 平成9年(1997)3月7日

(51)Int.Cl.⁶

G 1 1 C 11/41
11/413
11/401

識別記号

序内整理番号

F I

G 1 1 C 11/34

技術表示箇所

W
3 3 5 Z
3 6 2 C

審査請求 有 請求項の数11 書面 (全 17 頁)

(21)出願番号 特願平7-355049

(22)出願日 平成7年(1995)12月28日

(31)優先権主張番号 94-40567

(32)優先日 1994年12月31日

(33)優先権主張国 韓国 (K R)

(71)出願人 591024111

現代電子産業株式会社

大韓民国京畿道利川市夫鉢邑牙美里山136

- 1

(72)発明者 金 ▲ジャン▼筆

大韓民国京畿道利川郡夫鉢邑牙美里山136

- 1 現代電子産業株式会社内

(74)代理人 弁理士 長谷川 芳樹 (外3名)

(54)【発明の名称】 半導体記憶素子の自動モード選択回路

(57)【要約】 (修正有)

【課題】 L V T T L (L o w V o l t a g e T r a n s i s t o r T r a n s i s t o r L o g i c) 及び高速I/Oインターフェースのモードをチップ内で自動的に選択できるようにし、回路面積を減少して動作速度を向上する。

【解決手段】 外部基準電圧を供給する基準電圧パッド、内部基準電位発生回路、パワーオン瞬間を感知して一定時間の間、パルスを生成するパワー オン検出手段、パワー オン検出手段からの信号に応じ基準電圧パッド及び前記内部基準電圧発生機をスイッチングするためのスイッチング手段、基準電圧パッドとスイッチング手段の間に接続され基準電圧を検出するための基準電圧検出手段、並びにスイッチング手段が一時的にオフされる時、基準電圧検出手段からの出力電圧と内部基準電圧を比較增幅するための比較手段を備え、比較手段からの出力電圧をラッピングして出力端子で出力する。

1

【特許請求の範囲】

【請求項1】 L V T T L 及び高速 I / O インタフェース モードを自動的に選択するための半導体メモリ素子の自動モード選択回路において、
外部基準電圧を供給する基準電圧パッドと、
内部基準電位発生回路と、
パワー オン瞬間を感じて一定時間の間、パルスを生成するパワー オン検出手段と、
前記パワー オン検出手段からの信号に応じ、前記基準電圧パッドと前記内部基準電圧発生機をスイッチングするためのスイッチング手段と前記基準電圧パッドと前記スイッチング手段の間に接続され、基準電圧 (Vref) を検出するための基準電圧検出手段と、
前記スイッチング手段が一時的にオフされる時、前記基準電圧検出手段からの出力電圧と内部基準電圧を比較增幅するための比較手段と、
前記比較手段からの出力電圧をラッチング (latch) し、出力端子で出力するためのラッチ手段とを含むことを特徴とする自動モード選択回路。

【請求項2】 前記基準電位検出手段が基準電位 (Vref) を検出する場合には高速 I / O インタフェースを選択し、電源電位又は接地電位 (Vss) を検出する場合にはL V T T L を選択することを特徴とする請求項1記載の自動モード選択回路。

【請求項3】 前記パワー オン検出手段は、
モード レジスト セット信号が入力されるインバータと、
前記インバータを介して出力される信号と、パワーアップ信号を入力されパワー オン検出信号を出力するためのラッチ手段と、
前記ラッチ手段からのパワー オン検出信号を遅延させ、スイッチング信号を出力するための遅延手段とを含むことを特徴とする請求項1記載の自動モード選択回路。

【請求項4】 前記スイッチング手段は、
前記基準電圧パッドと内部基準電位発生手段の間に接続され、前記パワー オン検出器からのスイッチング信号により前記基準電圧パッドからの電位と、内部基準電位発生手段からの電位をスイッチングする伝達トランジスタを含むことを特徴とする請求項1記載の自動モード選択回路。

【請求項5】 前記基準電圧検出手段は、
前記基準電圧パッド及び基準電圧発生手段が連結されるノードと電源電圧の間に連結され、前記スイッチング手段と前記パワー オン検出手段からの信号により制御されるPMOSトランジスタとを含むことを特徴とする請求項1記載の自動モード選択回路。

【請求項6】 前記基準電圧検出手段は、
前記基準電圧パッド及び基準電圧発生手段が連結されるノードと電源電圧の間に連結され、前記スイッチング

50

2

手段と前記パワー オン検出手段からの信号により制御されるPMOSトランジスタと、
前記ノードと前記比較手段の間に連結されゲートに電源電圧が印加される第1 NMOSトランジスタと、前記比較手段と接地電位の間に連結されゲートに基準電圧検出手段からの信号が印加される第2のNMOSトランジスタとを含むことを特徴とする請求項1記載の自動モード選択回路。

【請求項7】 前記比較手段は、
2 Vcc / 3 レベルの電位と基準電圧パッドからの電位を比較して出力するためのものを特徴とする請求項1記載の自動モード選択回路。

【請求項8】 前記比較手段は、
内部基準電位と基準電圧検出手段で検出された電位を比較して出力するためのものを特徴とする請求項1記載の自動モード選択回路。

【請求項9】 前記スイッチング手段と内部基準電圧発生手段の間に接続され、前記スイッチング手段によりスイッチングされた信号と入力信号を比較して出力するための入力バッファを追加して含むことを特徴とする請求項1記載の自動モード選択回路。

【請求項10】 L V T T L 及び高速 I / O インタフェースを選択するための出力端子を備えた自動モード選択回路において、

外部基準電位を供給する基準電圧パッドと、
内部基準電位発生手段と、
パワー オン瞬間を感じて一定時間の間、パルスを生成するパワー オン検出手段と、
前記基準電圧パッド及び前記スイッチング手段の間に接続され、前記基準電位 (Vref) を検出するための基準電圧検出手段と、

前記パワー オン検出手段からの信号と前記出力端子を介して出力される信号に応じ、前記基準電圧パッドと前記内部基準電位発生機をスイッチングするための第1、第2スイッチング手段と、

前記基準電圧パッドと前記スイッチング手段の間に接続され基準電圧 (Vref) を検出するための基準電圧検出手段と、

前記スイッチング手段が一時的にオフされる時、前記基準電圧検出手段からの出力電圧と内部基準電圧を比較増幅するための比較手段と、

前記比較手段からの出力電圧をラッチング (latch) し、前記出力端子で出力するためのラッチ手段とを備えることを特徴とする自動モード選択回路。

【請求項11】 前記パワー オン検出手段は、
モード レジスト セット信号が入力されるインバータと、
前記インバータを介して出力される信号とパワーアップ信号を入力されパワー オン検出信号を出力するためのラッチ手段と、
前記スイッチング手段と前記出力端子を介して出力される信号と前記出力端子を介して出力される信号とを比較するための比較手段と、

前記ラッチ手段からのパワー オン検出信号とL V T T Lからの信号により第1スイッチング信号を発生する第1スイッチング信号発生部と、第2スイッチング信号を発生する第2スイッチング信号発生手段とを含むことを特徴とする請求項10記載の自動モード選択回路。

【発明の詳細な説明】

【産業上の利用分野】本発明は半導体素子の自動モード選択回路に関し、特にL V T T L (Low Voltage Transistor Transistor Logic) 及び高速I/Oインターフェース (High speed I/O interface) の二つのモードをチップ内で自動的に選択することができるようした自動モード選択回路に関する。

【従来の技術】最近、半導体メモリ装置に用いるT T L又は、L V T T Lと、I/Oインターフェースの新しい形態である高速入出力インターフェースを設計する際、*b e n d i n g / m e t a l o p t i o n*で設計してきたが、これは二つの種類で設計をしなければならない欠点があったが、これを解消するため前記二つのモードを半導体チップ内で自動的に選択することができる自動モード選択技術 (auto-mode selector scheme) が開発されてきた。図1は、L V T T Lと高速I/Oインターフェースの電位レベルを比較した図であり、図2及び図3は、それぞれ前記L V T T L及び高速I/Oインターフェースに対する回路の一例を、図4はL V T T L及び高速I/Oインターフェースの出力波形図を示した図面である。図2のL V T T Lは、データ出力バッファ (101) と比較器 (102) 及びこれ等の間に形成される寄生キャパシタンス (C1) で構成される。前記データ出力バッファ (101) は電源電圧 (Vdd) 及びノード (N1) の間に接続されたPMOSトランジスタ (Q1) と、前記ノード (N1) 及び接地電圧 (Vss) の間に接続されたNMOSトランジスタ (Q2) で構成される。前記比較器 (102) はデータ出力バッファ (101) で出力された電位が2.4Vに至る時には‘ロジック ハイ’と認識し、0.4Vに至る時には‘ロジック ロー’と認識する。前記図3の高速入/出力インターフェースはデータ出力バッファ (103) と、比較器 (104) と、ターミネーション電圧 (Vtt) 及びターミネーション抵抗 (Rt) で構成される。前記ターミネーション抵抗 (Rt) により前記出力バッファの出力は制限された電圧スイング (*l i m i t e d v o l t a g e s w i n g*) をすることになり、これによって速やかな演算を行うことができる。これを図4の高速入出力インターフェース及びL V T T Lの出力波形図を参照して説明する。図4でaとeはそれぞれ高速入出力インターフェースとL V T T Lのハイ論理時点を示し、bとfはそれぞれハイ論理認識時点を、cとgはそれぞれロー論理時点を、dとhはそれぞれロー論

理認識時点を示す。この出力波形図を介して高速I/Oインターフェースは制限された電圧スイング (*l i m i t e d v o l t a g e s w i n g*) のためL V T T Lより一層速やかな演算ができることが判った。図5は、従来の自動モード選択回路の一例を示した回路図で、ノード (N4) 及びノード (N5) の間に接続されゲートに前記ノード (N5) が連結されたPMOSトランジスタ (Q5) と、前記ノード (N4) 及びノード (N6) の間に接続されゲートに前記ノード (N5) が連結されたPMOSトランジスタ (Q6) と、前記ノード (N5) 及び接地電位 (Vss) に接続されたノード (N7) の間に接続されゲートに2Vcc/3電位発生機が連結されるNMOSトランジスタ (Q7) と、前記ノード (N6) 及び前記ノード (N7) の間に接続されゲートにノード (N8) が連結されるNMOSトランジスタ (Q8) と、電源電位 (Vcc) 及び前記ノード (N8) の間に接続されゲートに接地電位 (Vss) が印加されるPMOSトランジスタ (Q9) と、前記ノード (N8) で基準電位 (Vref) を印加するための基準電位バッド (202) と、前記ノード (N6) 及びノード (N9) の間に接続されたインバータ (C1) で構成される。図6は、従来の入力バッファを示した回路図で、ノード (N10) 及びノード (N11) の間に接続されゲートに前記ノード (N10) が連結されたPMOSトランジスタ (Q10) と、前記ノード (N10) 及びノード (N14) の間に接続されゲートが前記ノード (N11) に連結されたPMOSトランジスタ (Q11) と、前記ノード (N11) 及びノード (N12) の間に接続されゲートにチップ内部で発生させた基準電位 (Vref int) が印加されるNMOSトランジスタ (Q12) と、前記ノード (N12) 及び接地電位 (Vss) の間に接続されゲートにL V T T Lが印加されるNMOSトランジスタ (Q13) と、前記ノード (N11) 及びノード (N13) の間に接続されゲートに基準電位 (Vref) が印加されるNMOSトランジスタ (Q14) と、前記ノード (N13) 及び接地電位 (Vss) の間に接続されゲートに高速I/Oインターフェースが連結されるNMOSトランジスタ (Q15) と、前記ノード (N14) 及びノード (N15) の間に接続されゲートに入力信号 (in) が印加されるNMOSトランジスタ (Q16) と、前記ノード (N15) 及び接地電位 (Vss) の間に接続されゲートに高速I/Oインターフェースが連結されるNMOSトランジスタ (Q17) と、前記ノード (N14) 及びノード (N16) の間に接続されゲートに入力信号 (in) が印加されるNMOSトランジスタ (Q18) と、前記ノード (N16) 及び接地電位 (Vss) の間に接続されゲートにL V T T Lが印加されるNMOSトランジスタ (Q19) で構成される。図5で、PMOSトランジスタ (Q5、Q6) 及びNMOSトランジスタ (Q7、Q8) で構成される

比較器(201)は、前記NMOSトランジスタ(Q7及びQ8)のゲートでそれぞれ入力されるチップ内部の電圧発生機からの出力($2V_{cc}/3$)及び基準電位(V_{ref})を比較増幅してノード(N6)に出力する。高速I/Oインターフェースの場合は外部基準電圧パッドから供給される基準電位(V_{ref})を用いるため、基準電位(V_{ref})を作る手段が不要になる。従って、前記基準電位(V_{ref})は反電位($V_{cc}/2$)になり高速入出力インターフェースがハイになる。一方、LVTTLの場合は基準電位が供給されない状態のため、PMOSトランジスタ(Q9)により電源電位(V_{cc})が供給されLVTTLがハイになる。図6の従来の入力バッファで、図5の自動モード選択機がLVTTLを選択する場合には前記NMOSトランジスタ(Q12、Q13)を利用し内部基準電位($V_{ref int}$)を用い、高速I/Oインターフェースを選択する場合には前記NMOSトランジスタ(Q14、Q15)を利用し基準電位($V_{ref off}$)を用いる。一方、前記自動モード選択回路の出力はデータ出力バッファ等にも用いられる。

【発明が解決しようとする課題】前記従来の自動モード選択回路は次のような問題点を有している。一番目に、 $2V_{cc}/3$ 電位発生用の発生機(generator)が必要であり、二番目に、図6の入力バッファのようにLVTTL/高速I/Oインターフェースをスイッチング(switching)するための手段が必要そのため、回路が複雑になり速度が低減され、三番目に、自動モード選択機が高速I/Oインターフェースを選択する場合には、PMOSトランジスタ(Q9)を介してノード(N8)で電源電位(V_{cc})が印加されるので、基準電位発生機(202)側にカレントバス(current path)が形成されることになる。従って、本発明の目的は、前記した問題点を解消し、LVTTL及び高速I/Oインターフェースの二つのモードをチップ内で自動的に選択することができる自動モード選択回路を提供するためのものである。

【課題を解決するための手段】前記目的達成のための本発明の自動モード選択回路の第1特徴は、外部基準電圧を供給する基準電圧パッドと、内部基準電圧発生回路と、パワー オン瞬間を感じて一定時間の間、パルスを生成するパワー オン検出手段と、前記パワー オン検出手段からの信号に応じ、前記基準電圧パッドと前記内部基準電圧発生機をスイッチングするためのスイッチング手段と、前記基準電圧パッドと前記スイッチング手段の間に接続され基準電圧(V_{ref})を検出するための基準電圧検出手段と、前記スイッチング手段が一時的にオフされる時、前記基準電圧検出手段からの出力電圧と内部基準電圧を比較増幅するための比較手段と、前記比較手段からの出力電圧をラッピング(latching)して出力端子で出力するためのラッチ手段

10

20

20

30

30

30

30

30

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

に構成される。本発明の自動モード選択回路の第2特徴は、LVTTL及びハイ スピード入/出力インターフェース(高速I/Oインターフェース)を選択するための出力端子を備えた自動モード選択回路において、外部基準電圧を発生する基準電圧パッドと、内部基準電圧発生手段と、パワー オン瞬間を感じて一定時間の間、パルスを生成するパワー オン検出手段と、前記基準電圧パッド及び前記スイッチング手段の間に接続され、前記基準電位(V_{ref})を検出するための基準電圧検出手段と、前記パワー オン検出手段からの信号と前記出力端子を介して出力される信号に応じ、前記基準電圧パッドと前記内部基準電圧発生機をスイッチングするための第1、第2スイッチング手段と、前記基準電圧パッドと前記スイッチング手段の間に接続され、基準電圧(V_{ref})を検出するための基準電圧検出手段と、前記スイッチング手段が一時的にオフされる時、前記基準電圧検出手段からの出力電圧と内部基準電圧を比較増幅するための比較手段と、前記比較手段からの出力電圧をラッピング(latching)し、前記出力端子で出力するためのラッチ手段で構成される。上述した目的及び其の他の目的と本発明の特徴及び利点は、添付図面と関連した次の詳細な説明を介して一層明らかになる。

【実施例】図7は本発明による自動モード選択回路の第1実施例であり、外部基準電圧パッド(external reference voltage pad)(300)と内部基準電圧発生機(internal reference voltage generator)(320)の間にスイッチング手段(310)が連結される。前記スイッチング手段(310)にはパワー オン瞬間を感じて一定時間の間、パルスを作るパワー オン検出器(340)が連結され、この検出器を介して出力される信号はスイッチ(310)を動作させ基準電圧パッド(300)と内部基準電圧発生機(320)を一時的にオフさせる。前記外部基準電圧パッド(300)と前記スイッチング手段(310)の間には、基準電圧検出器(330)が連結され外部基準電圧パッド(300)と連結されているか(即ち、高速入出力インターフェース状態であるか)、連結されていないか(即ち、LVTTL状態であるか)を検出する。前記基準電圧検出器(300)から出力される電位と内部基準電圧発生機(320)からの電位を入力とし、パワー オン検出器(340)からの出力信号により制御を受ける比較器(350)が連結される。前記比較器(250)の出力端にはラッチ回路(360)が連結される。前記ラッチ回路(360)を介して出力が発生されるとスイッチ手段(310)は基準電圧パッド(300)と内部基準電圧発生機(320)を連結してノード(N11)の電位を入力バッファの入力に用い、LVTTLと高速入出力インターフェースを区分する出力信号はデータ出力バッファ等必要な所に用いられる。一方、同

期式ディーラム (synchronous DRAM) 等においてはパワーをつけた後にチップ内の状態、即ち、バスト大きさ (Burst length) やカス (CAS) 信号の遅延時間状態等を規定するためのモード レジスト セット (mode register set) 動作が行われなければならない。図8は、図7のパワー オン検出器 (340) の回路図であり、モード レジスト セット信号 (mode register set signal : mregst) を入力するノード (N25) とノード (N26) の間に接続されたインバータ (G2) と前記ノード (N26, N27) 及びノード (N28) の間に接続されたラッチ回路部 (341) と、パワー オン検出信号 (pwrondet) が出力されるノード (N28) とノード (N29) の間に直列接続されたインバータ (G5乃至G9) と、前記ノード (N28) 及びノード (N29) 上の信号を入力して論理組合せた信号をノード (N30) で出力するNANDゲート (G10) と、前記ノード (N30) に連結されたインバータ (G11) でなる遅延回路 (324) で構成される。前記インバータ (G11) を介して出力される信号はスイッティング回路 (310) に入力される。図9は、図3のスイッティング手段 (310) と基準電圧検出器 (330) を示したもので、基準電圧検出器 (330) は電源電圧 (Vcc) とノード (N21) の間に接続されゲートにノード (N32) が連結されたPMOSトランジスタ (Q20) で構成され、前期スイッティング回路 (310) はノード (N31) とパワー オン検出器 (340) からの信号が入力されるノード (N31) の間に接続され、外部基準電圧パッドが連結された前記ノード (N21) 及び前記内部基準電圧発生機が連結されたノード (N41) 上の電位をスイッティングする伝達トランジスタ (Q21) で構成される。図10は、基準電圧検出器の他の例を示したもので、前記基準電圧検出器 (330') は基準電圧パッド (300) が連結されるノード (N21) と比較器 (350) が連結されるノード (N51) の間に接続されゲートに電源電圧 (Vcc) が連結されるNMOSトランジスタ (Q23) と、前記ノード (N51) と接地電位 (Vss) の間に接続されゲートにパワー オン検出器 (340) と連結されたノード (N31) と接続されたNMOSトランジスタ (Q24) と、電源電圧 (Vcc) とノード (N21) の間に接続されゲートにスイッティング手段 (310) と反転器 (C12) を介して出力される信号が供給PMOSトランジスタ (Q22) で構成される。図11は、図7の比較器 (350) とラッチ回路 (360) を示した図面であり、比較器 (350) はノード (N58) 及びノード (N59) の間に接続されゲートにノード (N51) が連結されたPMOSトランジスタ (Q25) と、前記ノード (N58) 及びノード (N59) の間に接続されゲートに前記ノード (N

59) が連結されたPMOSトランジスタ (Q26) と、前記ノード (N59) 及びノード (N60) の間に接続されゲートに2Vcc/3電位発生機が連結されるNMOSトランジスタ (Q29) と、前記ノード (N58) 及びノード (N61) の間に接続されゲートが前記ノード (N59) に連結されたPMOSトランジスタ (Q27) と、前記ノード (N58) 及びノード (N61) の間に接続されゲートに前記ノード (N51) が連結されたPMOSトランジスタ (Q28) と、前記ノード (N61) 及び前記ノード (N60) の間に接続されゲートに外部基準電圧パッドが連結されるNMOSトランジスタ (Q30) と、前記ノード (N60) 及び接地電圧 (Vss) の間に接続されゲートに前記ノード (N51) が連結されたNMOSトランジスタ (Q31) で構成され、前記ラッチ回路 (360) は前記ノード (N61) の電位をラッチしてLVTTLと連結されたノード (N62) で出力するための二つのNANDゲート (G13, G14) と、前記ノード (N62) 及び高速I/Oインターフェースに連結されたノード (N71) の間に接続されたインバータ (G15) で構成される。図12は、比較器の他の例を示したもので、NMOSトランジスタ (Q29) とPMOSトランジスタ (Q30) のゲートにそれぞれ内部基準電圧発生機からの電位 (Vref) と、基準電圧検出器からの電圧 (Vd) が入力されることを除いては図11の比較器とその構成が同様である。図13は、本発明の自動モード選択と共に用いられる入力バッファの回路図であり、ノード (N42) 及びノード (N43) の間に接続されゲートが前記ノード (N43) に連結されたPMOSトランジスタ (Q32) と、前記ノード (N43) 及び接地電位に接続されたノード (N45) の間に接続されゲートに前記ノード (N41) が連結されたNMOSトランジスタ (Q34) と、前記ノード (N42) 及び出力端子 (out) が連結されるノード (N44) の間に接続されゲートに前記ノード (N43) が連結されたPMOSトランジスタ (Q33) と、前記ノード (N44) 及び前記ノード (N45) の間に接続されゲートに入力信号 (in) が印加されるNMOSトランジスタ (Q35) で構成される。この入力バッファは前記ノード (N41) の電位及び入力信号 (in) を比較増幅して前記ノード (N44) に出力するためのものである。図8で、モード レジスト セット信号 (mregst) がローからハイに入力されパワー アップ信号が (pwru) ハイに入力されると、前記ラッチ回路部 (340) により前記ノード (N28) でパワー オン検出信号 (pwron_det) がハイに出力され、この信号は前記インバータ (G5及びG10) により一定時間の間、遅延されたパルスの幅などのエッジ信号をハイに出力して前記スイッティング回路 (310) に入力する。図9で、ノード (N31) を介して入力されるパワー オン検出器 (3

40)からの‘ハイ論理’スイッチ信号(switch)は、前記伝達トランジスタ(Q21)を図8に示したようにインバータ(G5及びG9)で遅延されたほどのハイ論理区間の間ターンオフさせ(図14参照)、前記PMOSトランジスタ(Q20)を前記ノード(N21)で出力電圧(Vd)が供給されるようになる。図11を参照すると、図9の基準電圧検出器(330)からの出力電圧が比較器(350)で2Vcc/3基準電圧発生機で発生した基準電圧と比較されその結果がラッチ回路(360)に出力された時、前記比較器(350)はパワー・オン検出器(350)からのスイッチング信号により制御される。さらに図9を参照すると、スイッチング信号がハイ論理からロー論理に変ると伝達トランジスタ(Q21)がターンオンされ、PMOSトランジスタ(Q20)がターンオフされて基準電圧バッド(300)と内部基準電圧発生機(320)が連結され、外部基準電圧バッドの電位が入力バッファの基準電圧に用いられるようになる。図10の基準電圧検出器(330')の場合、ノード(N31)上の信号が‘ハイ論理’信号である時には図9の伝達トランジスタ(Q21)がターンオフされ、PMOSトランジスタ(Q20)がターンオンされるので電源電圧がノード(N21)を介してNMOSトランジスタ(Q23)により比較器(350)に伝達されることになる。図12を参照すると、図10の基準電圧検出器(330')からの出力電圧(Vd)が比較器で内部基準電圧(Vref)と比較されその結果がラッチ回路に出力される。この際、前記比較器はパワー・オン検出器からのスイッチング信号により制御される。図14は、本発明の第1実施例による自動モード選択回路の各部分での出力波形図である。図15は、本発明の第2実施例による自動モード選択回路図で、ノード(N52)で基準電圧(Vref)を印加する基準電圧バッド(400)と、ノード(N64)で基準電圧(Vrefint)を印加するチップ内部の基準電圧発生手段(410)と、ノード(N52)及びノード(N54)の間に直列に接続され前記ノード(N52)又は、ノード(N54)上の信号を入力バッファに伝達するための伝達トランジスタ(Q41、Q42)と、パワー・オン瞬間を感じて一定周期のパルスをノード(N59)及びノード(N60)で出力するパワー・オン検出器(450)と、前記ノード(N57)と前記ノード(N59、N63)の間及びノード(N58)とノード(N63)の間にそれぞれ接続され、前記パワー・オン検出手段(450)からの制御信号により出力信号を発生する第1及び第2スイッチ(420、430)と、前記ノード(N52)及びノード(N61)の間に接続され基準電圧(Vref)を検出するための基準電圧検出器(440)と、前記基準電圧検出器(440)からの出力電圧と内部基準電圧(Vref_int)を比較増幅するための比較器(460)

と、前記比較器(460)からの出力電圧をラッチング(latching)して出力端子と連結されたノード(N63)で出力するラッチ回路(470)で構成される。図16は、図15に用いられるパワー・オン検出器を示した回路図であり、モード・レジスタ・セット信号(mregst)を入力するノード(N80)とノード(N81)の間に接続されたインバータ(G16)と、パワー・アップ(power-up)信号を入力するノード(N82)と反転されたモード・レジスタ・セット信号が入力されるノード(N81)及びパワー・オン検出信号(pwr_on_det)を出力するノード(N83)の間に接続されたラッチ(480)と、前記ノード(N83)及びノード(N84)の間に直列接続されたインバータ(G19乃至G21)と、前記ノード(N83)及び前記ノード(N84)を入力して論理組合わされた信号をノード(N85)で出力するNANDゲート(G22)と、前記ノード(N85)及びノード(N86)の間に接続されたインバータ(G23)と、前記ノード(N86)及びノード(N87)上の信号を入力して論理組合わされた信号をノード(N88)で出力するNANDゲート(G24)と、前記ノード(N87)及びノード(N89)の間に接続されたインバータ(G27)と、前記ノード(N88、N89)及び第1スイッチ信号を出力するノード(N59)の間に接続されラッチ回路を構成するNANDゲート(G25、G26)と、前記ノード(N89)及びノード(N90)の間に接続されたインバータ(G28)と、前記ノード(N89、N90)及び第2スイッチ信号を出力するノード(N60)の間に接続されラッチ回路を構成するNANDゲート(G29、G30)で構成される。本発明の第2実施例による図15の自動モード選択回路で、パワー・オン検出器(450)がパワー・オン瞬間を検出して第1スイッチ手段(420)及び第2スイッチ手段(430)にスイッチング信号を伝達すると、第1スイッチ(420)及び第2スイッチ(430)により前記伝達トランジスタ(Q41)はターンオフ、前記電圧トランジスタ(Q42)はターンオンされる。前記伝達トランジスタ(Q41)がターンオンされ、前記伝達トランジスタ(Q42)がターンオフされる場合は第1、第2スイッチの間のノード(N53)に連結される入力バッファの基準電位として外部基準電位を用いる高速入出力インターフェースの場合となる。反面、前記伝達トランジスタ(Q41)がターンオフされ、伝達トランジスタ(Q42)がターンオンされる場合は前記入力バッファの基準電位として内部基準電位を用いるLVTTLの場合になる。図17は、図15及び図16に表示された信号の波形を示した波形図である。上述したように、本発明の自動モード選択機はパワー・オン初期状態での基準電圧状態を検出し、その結果を高速I/OインターフェースとしVTTLを区分するための所(例、データ出力バッフ

11

ア)に用い、検出が完了された後に基準電圧パッド(300)と内部基準電圧発生機(320)をスイッチ手段を介して連結することにより入力バッファ等にも使用を可能にする。また、本発明の自動モード選択機によると、高速I/Oインターフェースの場合には基準電圧パッドからの電位レベルが伝達され、LVTTTLの場合には内部基準電圧発生機からの電位レベルが伝達されて高速I/OインターフェースとLVTTTLをスイッチングするための別途の手段が不要になる。また、PMOSトランジスタ(Q20、Q22)は伝達トランジスタ(Q21)がターンオフされた期間の間のみターンオンされるので、自動モード選択機が前記高速I/Oインターフェースを選択する場合にも図2AのPMOSトランジスタ(Q9)とは別に、前記PMOSトランジスタ(Q20、Q22)から前記基準電圧パッド(Vref_PA)でカレントバスが形成されない。一方、図12の比較器(350)の場合、一方の入力で内部基準電圧(Vref_int)を用いるので、2Vcc/3発生機等のような別途の電圧発生機をなくすことができる。即ち、図10のPMOSトランジスタ(Q22)をN MOSトランジスタ(Q23/Q2)に比べてローインピーダンスにし、Q23:Q24=R:3R(R:抵抗)にすると、高速I/Oインターフェースの場合は、 $Vd - 3Vref/4 - 3/4 \times (Vcc/2) = 3Vcc/8$ になり、LVTTTLの場合は $Vd - 3Vcc/4 (6Vcc/8)$ なので、 $Vref_int = Vcc/2$ と比較されて(4Vcc/8)高速I/OインターフェースとLVTTTLを区別することができる。

【効果】以上で説明した本発明の自動モード選択回路を半導体素子の内部に実現することになると、LVTTTL及び高速I/Oインターフェースの二つのモードをチップ内で自動的に選択することができて、回路に占める面積を減少させただけでなく動作速度を向上させる効果を有する。本発明の好ましい実施例等は例示の目的のため開発されたものであり、当業者であれば添付の特許請求範囲

*囲に開示された本発明の思想と範囲を介して各種修正、変更、代替及び付加が可能であろう。

【図面の簡単な説明】

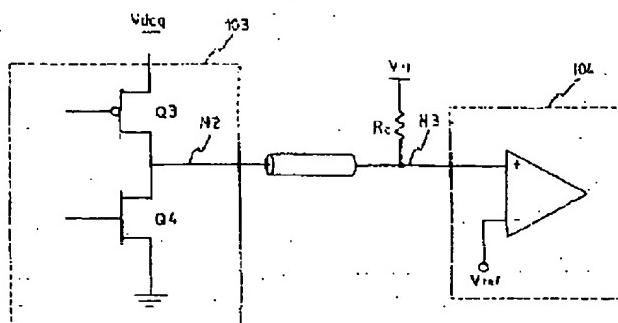
図1は、LVTTTL及び高速I/Oインターフェースに対する電位レベル比較図表。図2は、LVTTTLの一例を示した回路図。図3は、高速I/Oインターフェースの一例を示した回路図。図4は、LVTTTL及び高速I/Oインターフェースの出力波形図。図5は、従来の自動モード選択機を示した回路図。図6は、従来の入力バッファを示した回路図。図7は、本発明の第1実施例による自動モード選択機のブロック図。図8は、第1実施例に用いられたパワー・オン検出器の回路図。図9は、第1実施例に用いられた基準電圧検出器とスイッチの回路図。図10は、第1実施例に用いられた他の基準電圧検出器とスイッチ回路図。図11は、第1実施例に用いられた比較器及びラッチ回路の回路図。図12は、第1実施例に用いられた他の比較器の回路図。図13は、第1実施例に用いられる入力バッファの回路図。図14は、本発明の第1実施例に伴う自動モード選択機の各部分で出力される信号の出力波形図。図15は、本発明の第2実施例に伴う自動モード選択機のブロック図。図16は、第2実施例に用いられたパワー・オン検出器の回路図。図17は、本発明の第2実施例に伴う信号の自動モード選択機の各部分で出力される信号の出力波形図。

【符号の名称】

- 101、103···データ出力バッファ
- 102、104、201、440···比較器
- 202、300、400···基準電位パッド
- 310、420、430···スイッチ
- 320、410···内部基準電位発生機
- 330、330'、440···基準電圧検出器
- 340、450···パワー・オン検出器
- 360、470···ラッチ回路
- 402···遅延回路

【図3】

[図3]



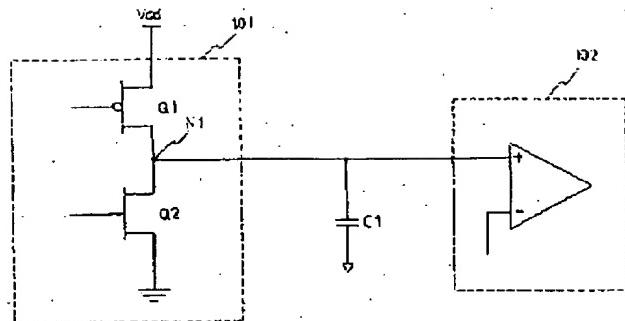
【図1】

	V _{TTT}	High speed I/O interface 高速 I/O ハイペース
V _{dE}	3.3V	3.3V
V _{DQ}		3.3V
V _{EE}		1.5V
V _{REF}		1.5V
V _{RA/VRL}	2.0V/0.8V	V _{REF} +200mV/V _{REF} -200mV
V _{SH/VUL}	2.4V/0.4V	V _{REF} +400mV/V _{REF} -400mV

【図1】

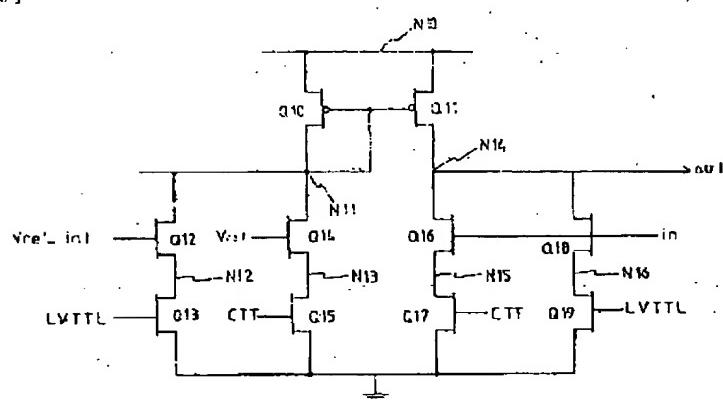
【図2】

【図2】



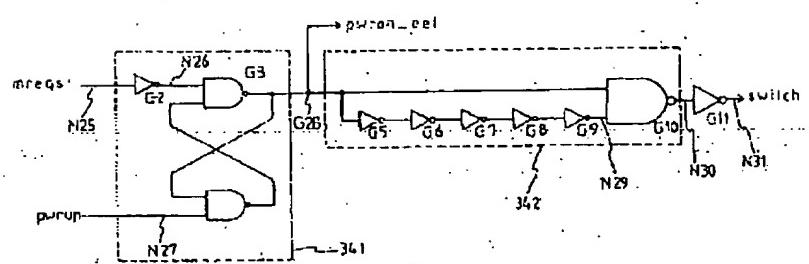
【図6】

【図6】

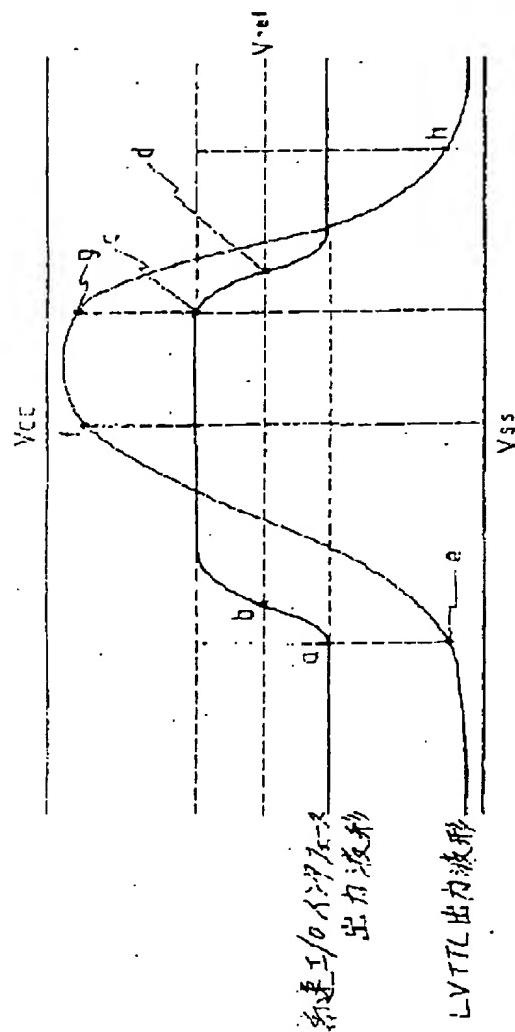


【図8】

【図8】

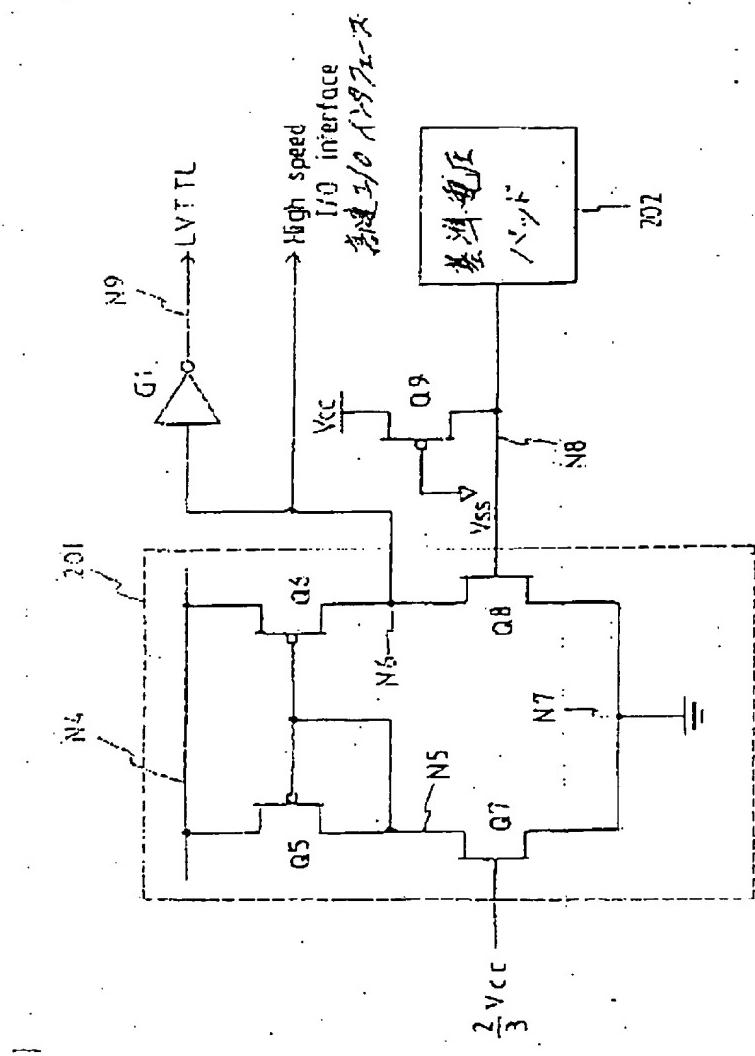


【図4】

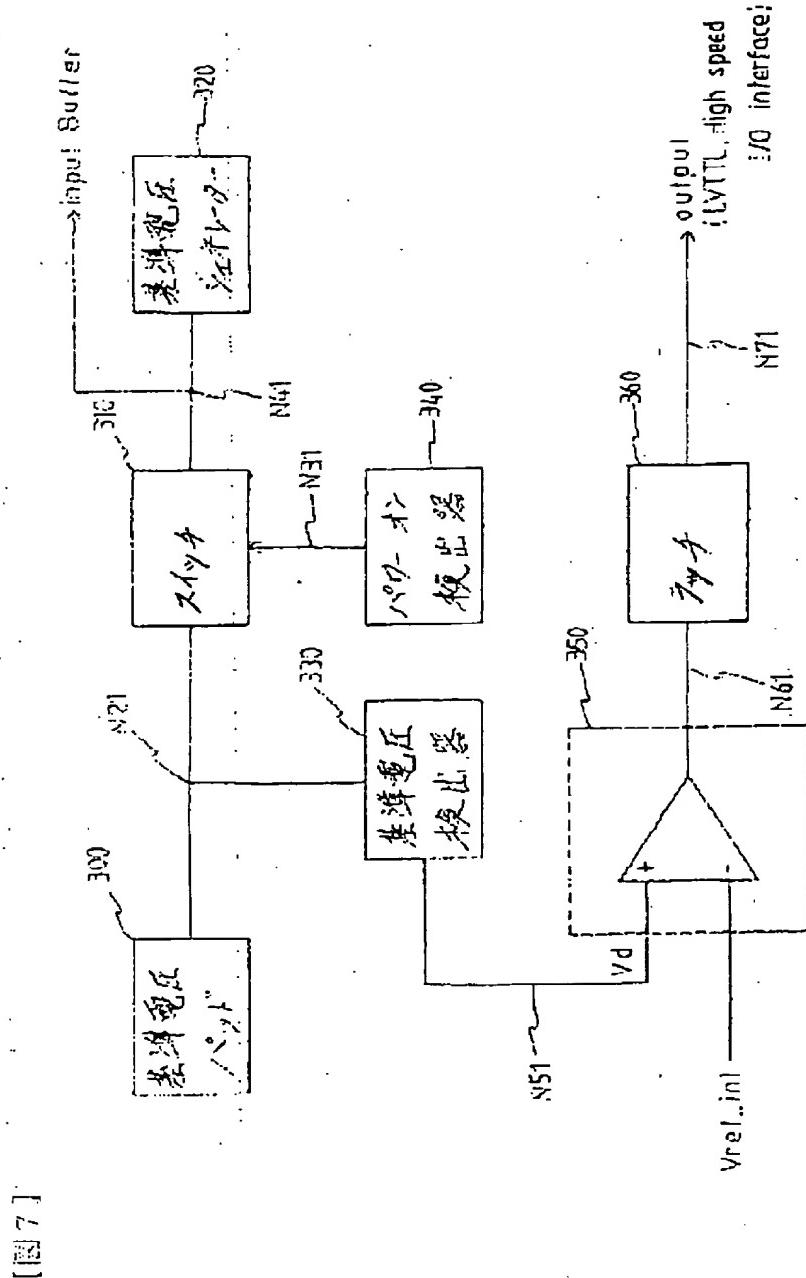


【図4】

[図5]

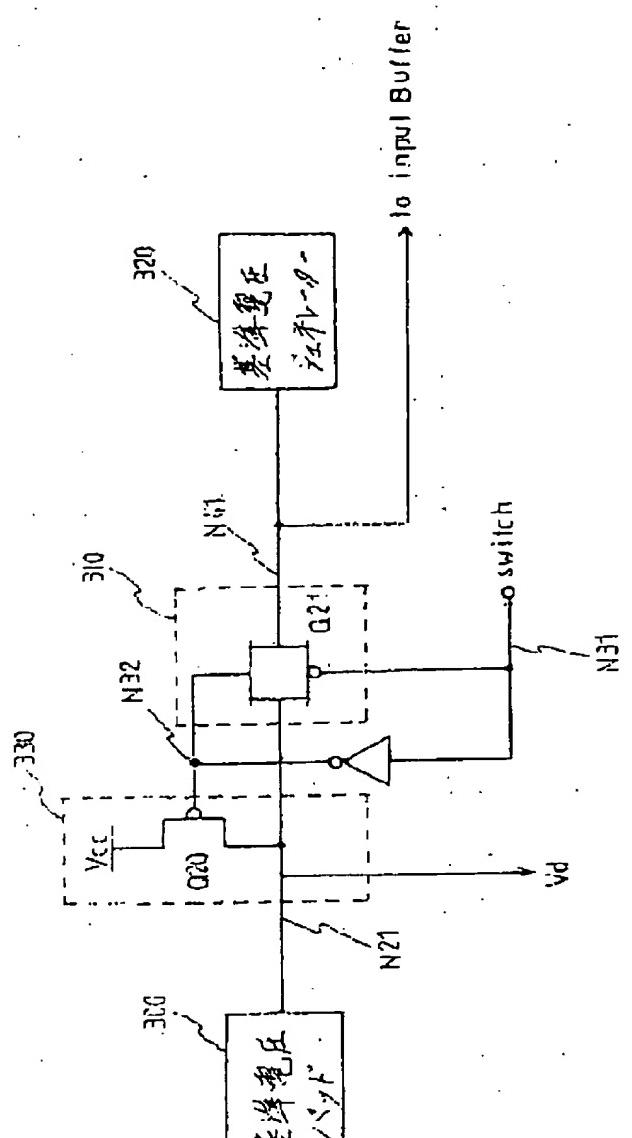


【図7】



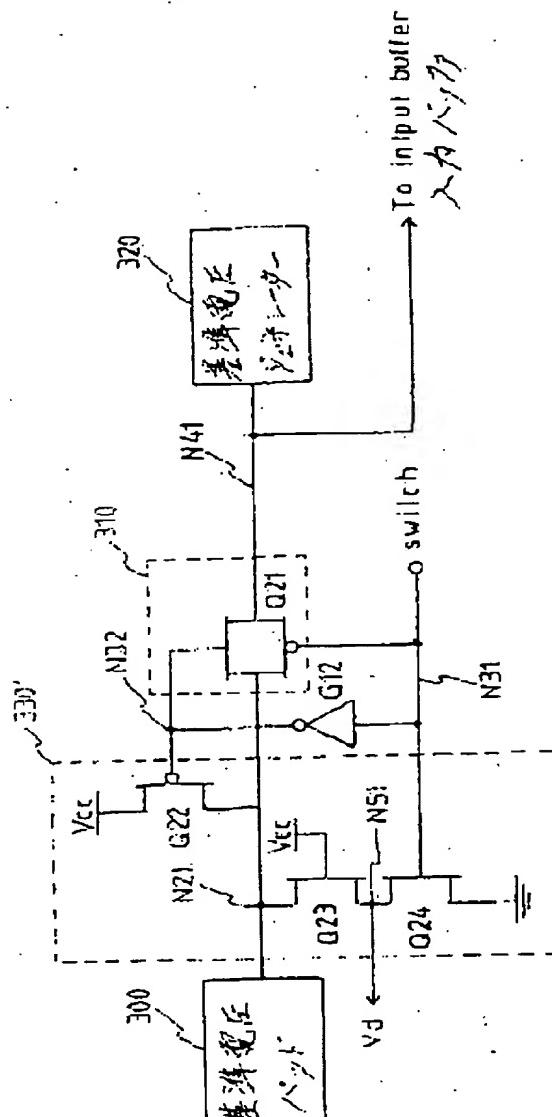
【図7】

【図9】



【図9】

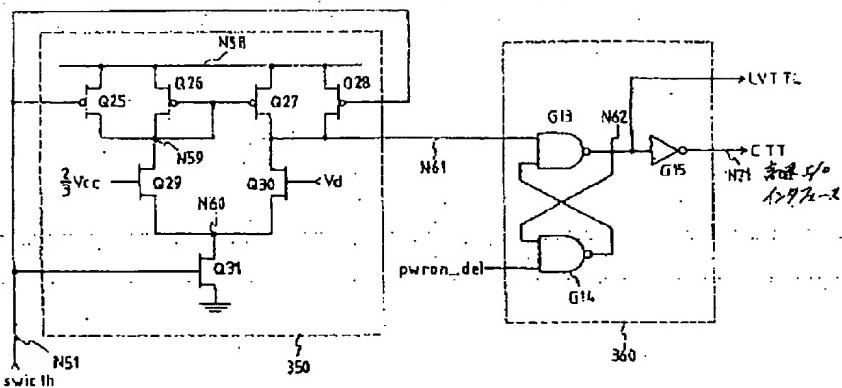
[図10]



[図10]

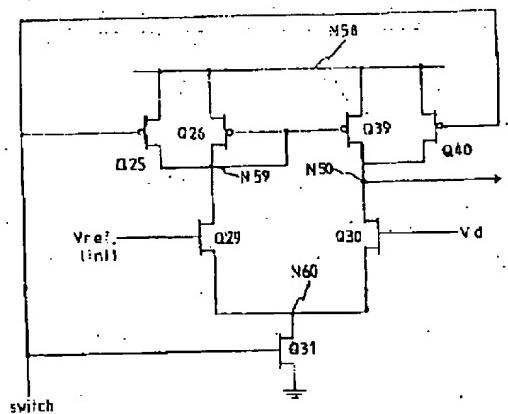
【図11】

【図11】



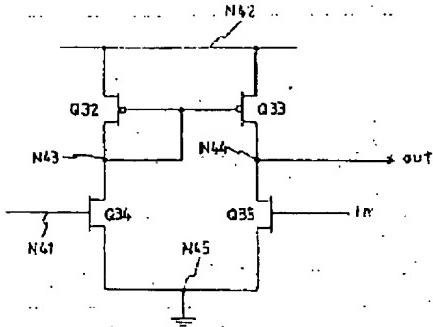
【図12】

【図12】



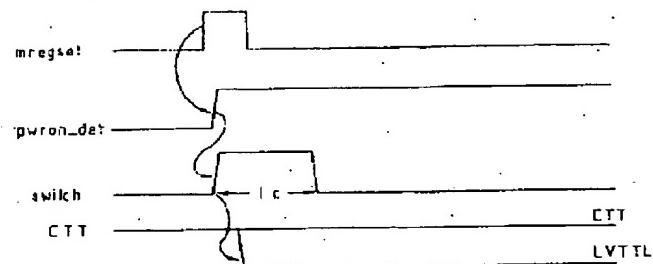
【図13】

【図13】



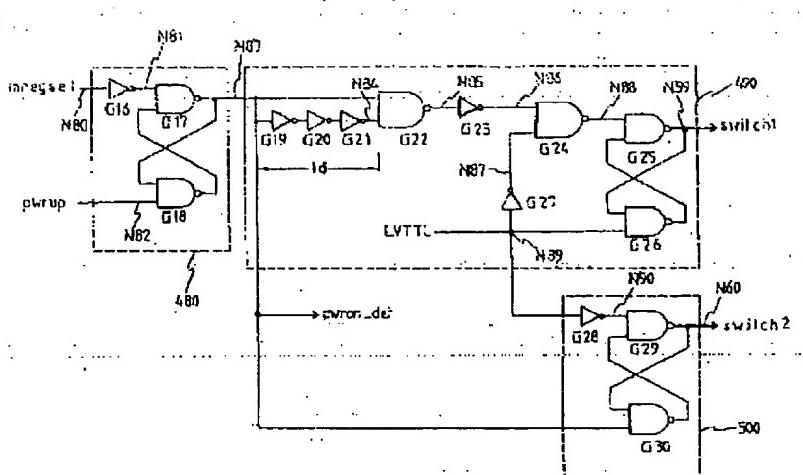
【図14】

【図14】



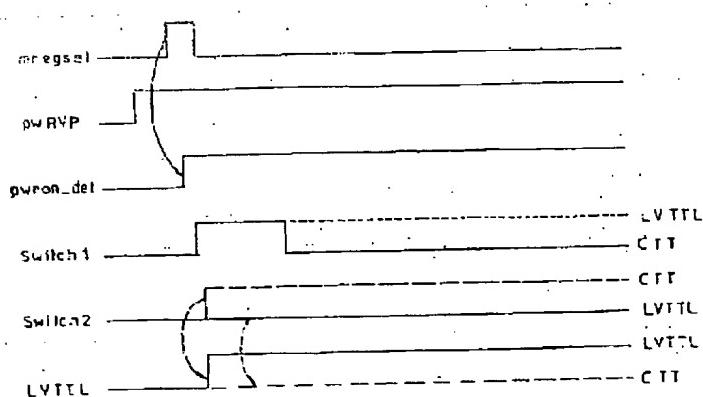
【図16】

【図16】

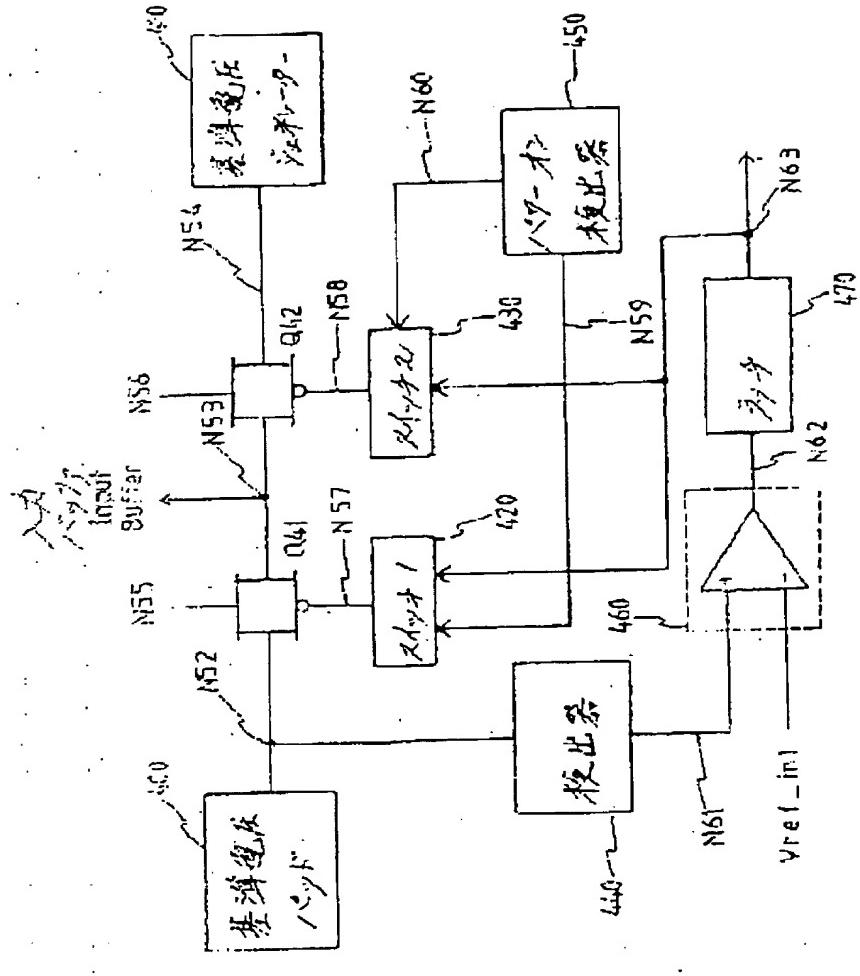


【図17】

【図17】



【図15】



【図15】